



## 1. SDRAM Controller Core

### 1. Ядро контроллера SDRAM

#### Общий вид ядра

Ядро контроллера SDRAM с интерфейсом Avalon® предоставляет интерфейс Avalon с распределением в памяти (Avalon-MM) для SDRAM снаружи чипа. Контроллер SDRAM позволяет разработчикам создать собственную систему в чипе Altera®, которая просто подключается к чипам SDRAM. Контроллер SDRAM поддерживает стандарт SDRAM, описанный в спецификации PC100.

SDRAM часто используется в экономичных приложениях, которым требуется много энергонезависимой памяти. Так как SDRAM относительно дешева, контрольная логика необходима для выполнения операции обновления, управления открытыми строками (open-row), прочих задержек и последовательности команд. Контроллер SDRAM подключается к одному или нескольким чипам SDRAM, и обрабатывает все необходимые протоколы SDRAM. Внутри чипа ядро представляет собой слейв порт Avalon-MM, который добавляется как линейная память (одномерное адресное пространство) для мастер периферии Avalon-MM.

Ядро имеет доступ к подсистемам SDRAM с различной шириной данных (8, 16, 32 или 64 бита), различным размером памяти и выбором нескольких чипов. Интерфейс Avalon-MM осведомлен о задержках, поэтому трансферты чтения могут быть конвейерными. Ядро может опционально поделить часть своей шины адреса и данных с другими тристабильными устройствами Avalon-MM снаружи чипа. Это средство ценно в системах, ограниченных в I/O выводах, поскольку можно подключить несколько чипов памяти дополнительно к SDRAM.

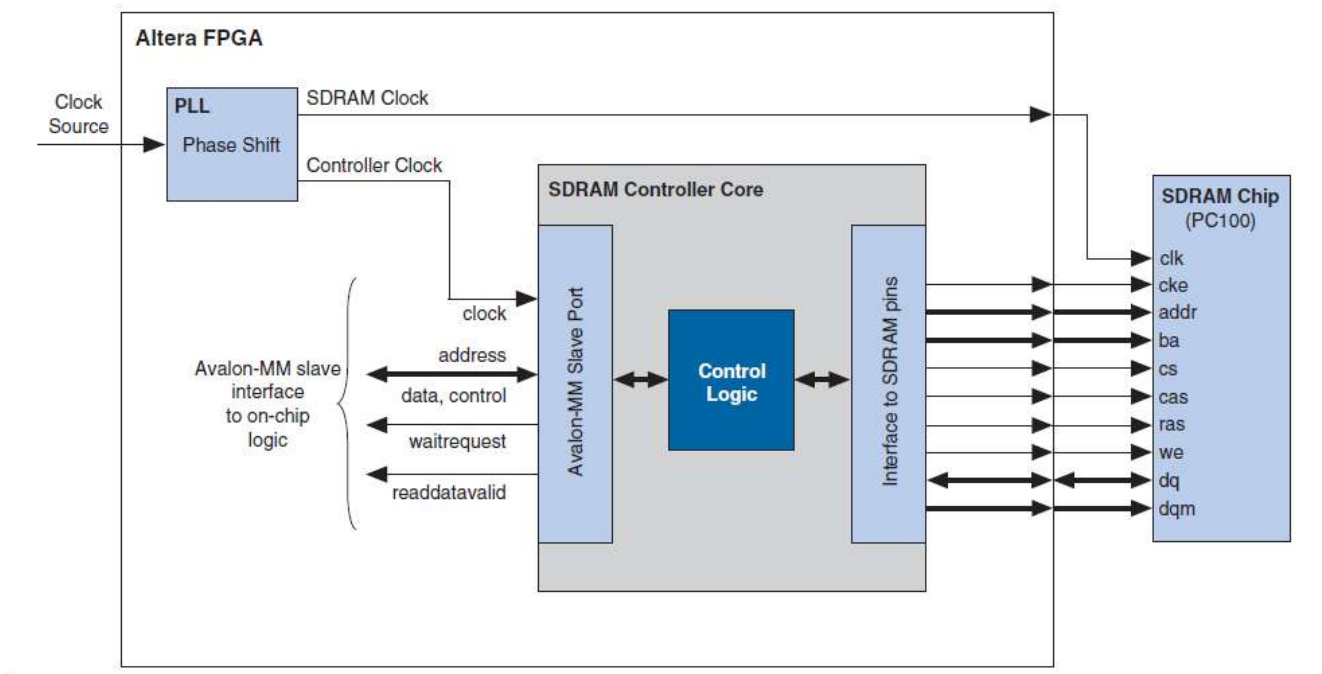
Ядро контроллера SDRAM с интерфейсом Avalon готово к использованию в SOPC Builder и запросто интегрируется в любую сгенерированную систему SOPC Builder. Эта глава состоит из следующих секций:

- "Функциональное описание" на странице 1-2
- "Поддержка чипов" на странице 1-5
- "Инсталляция ядра в SOPC Builder" на странице 1-5
- "Рассмотрение аппаратной симуляции" на странице 1-7
- "Программная модель" на странице 1-10
- "Рассмотрение тактов, PLL и временных характеристик" на странице 1-10

## Функциональное описание

На рис. 1-1 показана блок-схема ядра SDRAM контроллера, подключенного к внешнему чипу SDRAM.

**Figure 1–1.** SDRAM Controller with Avalon Interface Block Diagram



В следующих секциях подробно описываются компоненты ядра SDRAM контроллера. Все опции задаются на стадии генерации системы, и не могут быть изменены после запуска.

### Интерфейс Avalon-MM

Слейв порт Avalon-MM – это видимая часть ядра SDRAM контроллера. Слейв порт представлен как плоское, непрерывное адресное пространство длиной как в чипе SDRAM. Когда имеется доступ к слейв порту, подробности протокола PC100 SDRAM полностью прозрачны. Интерфейс Avalon-MM ведёт себя как простой интерфейс с памятью. Там нет регистров конфигурации с распределением в памяти.

Слейв порт Avalon-MM поддерживает состояние ожидания, контролируемое периферией, для трансфертов чтения и записи. Слейв порт останавливает трансферт, пока не будут отображаться правильные данные. Слейв порт также поддерживает трансферты чтения с переменной задержкой, разрешая высокоскоростные, конвейерные трансферты чтения. Когда мастер периферия читает последовательный адрес из слейв порта, сначала возвращаются данные после начального периода задержки.

Последовательное чтение даёт новые данные на каждом тактовом цикле. Однако данные не гарантированно читаются по каждому тактовому циклу, из-за этого SDRAM контроллер должен периодически останавливаться, для обновления SDRAM.

Подробнее о типах трансфертов по Avalon-MM в [спецификации на интерфейс Avalon](#).

---

**Интерфейс с внешним чипом SDRAM**

Интерфейс с внешним чипом SDRAM представляет собой сигналы, определённые стандартом PC100. Эти сигналы должны быть подключены внешне к чипам SDRAM через I/O выводы чипа Altera.

***Временные и электрические характеристики сигнала***

Время и последовательность сигналов зависят от конфигурации ядра. Аппаратные разработчики конфигурируют ядро, чтобы сделать чип SDRAM выбираемым системой. Посмотрите "Инсталляция ядра в SOPC Builder" на странице 1-5. Электрические характеристики выводов чипа зависят от выбранного семейства и назначений, сделанных в программе Quartus® II. Большинство семейств чипов поддерживают широкий диапазон электрических стандартов, и поэтому они способны организовать интерфейс с большим числом чипов SDRAM. Подробнее - в настольной книге выбранного семейства чипов.

***Синхронизация сигналов такта и данных***

Тактовый сигнал для чипа SDRAM (SDRAM такт) должен поступать на той же частоте, что и такт на интерфейс Avalon-MM контроллера SDRAM (такт контроллера). Как и во всех синхронных проектах, вы должны проследить за тем, чтобы сигналы адреса, данных и контроля на выводах SDRAM оставались стабильными на время поступления фронта такта. Как показано на рис. 1-1, вы можете использовать внутри чиповую петлю защёлки фазы (PLL) для уменьшения фазового сдвига между ядром SDRAM контроллера и чипом SDRAM. На низкой тактовой скорости PLL не нужна. На высокой тактовой скорости, PLL необходима для того, чтобы такты переключались на SDRAM только, когда сигналы стабилизируются на выводах. Блок PLL не является частью ядра контроллера SDRAM. Если PLL необходима, вы должны установить её вручную. Вы можете инсталлировать интерфейс ядра PLL в виде компонента SOPC Builder или в виде мегафункции ALTPLL снаружи модуля системы SOPC Builder.

Если вы используете PLL, вы должны настроить фазовый сдвиг в PLL, чтобы фронт такта SDRAM поступал после стабилизации синхронных сигналов. Посмотрите "Рассмотрение тактов, PLL и временных характеристик" на странице 1-10.

За подробной информацией об инсталляции PLL в вашу систему SOPC Builder, обратитесь к "Ядро PLL" на странице 36-1. Инструменты разработки Nios® II предлагают примеры аппаратных проектов, использующих ядро контроллера SDRAM совместно с PLL, которые вы можете использовать для справки в ваших собственных проектах. Инструменты разработки Nios® II свободно доступны с сайта [www.altera.com](http://www.altera.com).

***Разрешение тактов (СКЕ) не поддерживается***

Контроллер SDRAM не поддерживает режимы запрещения тактов. Контроллер SDRAM перманентно назначает сигнал СКЕ для SDRAM.

***Совместное использование выводов с другими тристабильными устройствами на Avalon-MM***

Если тристабильный мост на Avalon-MM описан в системе SOPC Builder, ядро контроллера SDRAM может совместно использовать эти выводы с существующими тристабильными мостами. В этом случае, вывод ядра addr, dq (данные) и dqm (byte-enable) совместно используются с другими устройствами, подключенными по тристабильному мосту на Avalon-MM. Это средство экономит I/O выводы, что очень ценно в системе, имеющей несколько внешних чипов памяти (например, флеш, SRAM и SDRAM), но слишком мало выводов специально для чипа SDRAM. Посмотрите

"Рассмотрение характеристик", чтобы узнать влияние на характеристики совместного использования выводов.

Адрес SDRAM должен быть подключен ко всем битам адреса, в зависимости от размера слова так, чтобы младший бит адреса тристабильного моста был младшим битом адреса в чипе памяти. Сигнал адреса тристабильной Avalon-MM всегда является байтом адреса. Невозможно переместить A0 тристабильного моста для памяти, в которой наименьший доступный размер 16 бит, или A0-A1 тристабильного моста для памяти, в которой наименьший доступный размер 32 бита.

### **Рассмотрение выводов и слоя печатной платы**

Когда принимается решение о создании слоев на печатной плате или о выводах на чипе, пытаются минимизировать расфазировку между SDRAM сигналами. Например, когда назначаются выводы чипа, группа SDRAM сигналов, включая тактовый выход SDRAM, физически располагаются рядом. Также вы можете использовать логические опции **Fast Input Register** и **Fast Output Register** в программе Quartus II. Эти логические опции размещают регистры для SDRAM сигналов в I/O ячейках. Сигналы, выходящие из регистров в I/O ячейках, имеют схожие временные характеристики, такие как  $t_{CO}$ ,  $t_{SU}$  и  $t_H$ .

### **Рассмотрение характеристик**

Под оптимальными характеристиками ядра SDRAM контроллера понимается быстродействие - одно слово за один такт. Однако, поскольку служебные сигналы ассоциированы с обновлением SDRAM, невозможно достичь одного слова за один такт. Другие факторы, влияющие на характеристики ядра, описаны в следующих секциях.

### **Управление открытой строкой**

Чипы SDRAM организованы как множество банков памяти, в который каждый банк способен управляться независимым адресом с открытой строкой. Ядро контроллера SDRAM использует преимущества управления открытой строкой для одного банка. Непрерывное чтение или запись внутри одной строки позволяет банку работать на скорости, близкой к одному слову за один такт. Приложения, которые часто обращаются к банкам различного назначения, требуются специальные циклы управления для открытия и закрытия строки.

### **Общие выводы данных и адреса**

Когда контроллер разделяет выводы с другими тристабильными устройствами, среднее время доступа обычно увеличивается, а пропускная способность уменьшается. Когда доступ к тристабильному мосту предоставляется другим устройствам, в SDRAM поступают служебные команды для открытия и закрытия строк. Более того, контроллер SDRAM ожидает несколько тактовых циклов, прежде чем ему снова будет предоставлен доступ.

Для увеличения пропускной способности, контроллер SDRAM автоматически получает контроль над тристабильным мостом, пока последовательные передачи чтения или записи продолжают выполняться внутри одной строки одного банка.

Такое поведение может уменьшить среднее время доступа для других устройств, совместно использующих тристабильный мост на Avalon-MM.

Контроллер SDRAM закрывает и открывает строку даже при сбое в последовательной передаче, или при необходимости обновления передачи. В результате:

- 
- Контроллер не может перманентно блокировать доступ к другим устройствам, совместно использующим тристабильный мост.
  - Контроллер гарантированно не превышает временной лимит на открытие строки SDRAM.

***Аппаратный проект и выбор чипа***

Выбор чипа влияет на максимально возможную тактовую частоту аппаратного проекта. Определённые семейства чипов достигают большей характеристики  $f_{MAX}$ , чем другие семейства. Более того, внутри семейства чипов, существует градация по скорости. Ядро контроллера SDRAM может достигать скорости 100 МГц в высокопроизводительных семействах чипов Altera, таких как серия Stratix®. Однако ядро может и не достичь 100 МГц ни в одном семействе чипов.

Характеристика  $f_{MAX}$  также зависит от проекта системы SOPC Builder. Тактовая частота контроллера SDRAM управляет также другой логикой в системном модуле, которая может влиять на максимально допустимую частоту. Для ядра контроллера SDRAM, чтобы достичь частоты 100 МГц, нужно, чтобы все компоненты, управляемые этим тактом, были разработаны для использования на частоте 100 МГц, а временной анализ в программе Quartus II должен верифицировать, что весь проект может функционировать на частоте 100 МГц.